

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03057048 A**

(43) Date of publication of application: **12.03.91**

(51) Int. Cl

**G06F 12/16  
G11C 16/06  
H01L 27/115  
H01L 29/788  
H01L 29/792**

(21) Application number: **01192856**

(71) Applicant: **SONY CORP**

(22) Date of filing: **25.07.89**

(72) Inventor: **KUBOTA MICHITAKA**

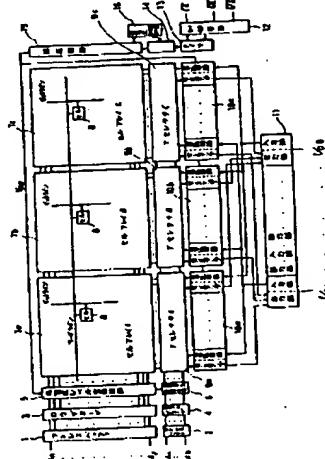
**(54) SEMICONDUCTOR MEMORY**

**(57) Abstract:**

**PURPOSE:** To perform the relief of defective bit independently of inverted logic by selecting three or more memory cells where the same information is stored and outputting the output result of the majority of read-out data as output data.

**CONSTITUTION:** Memory cell arrays 7a to 7c having the same constitution share a work line but have bit lines independently of one another. Memory cells 8 and Y selectors 9a to 9c which select bit lines are provided, and Y selectors 9a to 9c correspond to cell arrays 7a to 7c respectively. The same information is stored in three or more memory cells 8, and it is read out from these three or more memory cells 8, and output data is obtained from three or more output results by the majority decision. Thus, the relief of defective bit is possible independently of inversion from logical '1' is '0' or logical '0' to '1'.

COPYRIGHT: (C)1991,JPO&Japio



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 平3-57048

⑬ Int. Cl. :  
 G 06 F 12/16  
 G 11 C 16/06  
 H 01 L 27/115  
 29/788  
 29/782

識別記号 310 L 庁内整理番号 7737-5B

⑭ 公開 平成3年(1991)3月12日

7131-5B G 11 C 17/00 309 F  
 8831-5F H 01 L 27/10 434  
 7514-5F 29/78 371

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 平1-192856  
 ⑰ 出 願 平1(1989)7月25日

⑱ 発明者 稲田 通孝 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代理人 弁理士 尾川 秀昭

### 明細書

ことを特徴とする半導体メモリ

#### 1. 発明の名称

半導体メモリ

#### 2. 特許請求の範囲

(1) 同一情報を3以上の中のメモリセルに記憶し、読み出す時同一情報を記憶した上記3以上のメモリセルを選択し、読み出されたデータのうち最も多数の出力結果を出力データとするようにしたことを特徴とする半導体メモリ

(2) 様々のセルアレイを有し、該セルアレイそれぞれに対して同時に同一の情報を入力し、それから同時に outputすることによりセルアレイの互いに対応するセルどうしが故障の補償をし合うようにした半導体メモリにおいて、

互いに欠陥を補い合う一对のセルを複数のセルアレイに跨って一定の距離離れたメモリセルに割り当てる

#### 3. 発明の詳細な説明

以下の順序に従って本発明を説明する。

##### A. 産業上の利用分野

##### B. 発明の概要

##### C. 従来技術【第4図】

##### D. 発明が解決しようとする問題点

##### E. 問題点を解決するための手段

##### F. 作用

##### G. 実施例【第1図乃至第3図】

###### a. 第1の実施例【第1図、第2図】

###### b. 第2の実施例【第3図】

##### H. 発明の効果

##### (A. 産業上の利用分野)

本発明は半導体メモリ、特に複数のセルアレイを有し、該セルアレイそれぞれに対して同時に同一の情報を入力し各セルアレイから同時に outputすることによりセルアレイの互いに対応するセル比

うしが故障の補償をし合うようにした半導体メモリに関する。

## (B. 発明の概要)

本発明は、上記の半導体メモリにおいて、より信頼性を高め、不良率を少なくするため、同一情報を3以上のメモリセルに記憶することとし、読み出した時はその3以上のメモリセルの中から多数決により出力データを決定するようにする。

あるいは、互いに欠陥を補い合うセルを2つのセルアレイに跨って一定距離を離れたメモリセルに割り当てるようにしたものである。

## (C. 従来技術) [第4図]

E PROMにおいては信頼性の向上を図るために、ダブルセル方式により不良ビットの救済を行なうことができるようとする場合がある。このダブルセル方式とは同じアレイを2つ並べ、書き込む時は同じ情報を同時にその2つのセルアレイに書

は0から1の場合のみ起こり、1から0への逆転が絶対に起こらないと仮定するとこのように扱うのには妥当性がある。

ケース	x 1	x 2	x
(1)	0	0	0
(2)	0	1	0
(3)	1	0	0
(4)	1	1	1

上記表に整理した各ケース(1)～(4)について検討すると、ケース(1)は正常、ケース(2)はx2が不良だが全体として正常、ケース(3)はx1が不良だが、全体として正常、ケース(4)はx1、x2が共に不良で、全体としても不良である。

尚、この表はあくまでフローティングゲート中の電荷はせいぜい0になってしまうことはあっても逆転することはないと仮定し、電荷が負と0の時は論理1、電荷が正の時論理0であることを前提としている。

き込み、読み出す時は2つのセルアレイの対応するビット線から出力された信号の例えは論理積をもって出力信号とすることとし、2つのセルアレイの対応し合うセル同士が互いに不良(破壊)を補償し合うようにしたものである。

第4図はその2つのセルアレイを示すものである。同図において、A、Bはセルアレイで、a1とb1とを、そして、a2とb2とを互いに補償し合うセルとして例示した。

従来においては、第4図に示すように2つのセルアレイAとBとの間の中心線cを中心として線対称となるようにセルが配置され、互いに補償し合うセル(例えはa1とb1、a2とb2)は対称中線cからの距離が等しくなるようになっていた。

ここで、このダブルセルの方式の原理について説明する。

互いに補償し合う2個のセルのデータをx1、x2とすると、その論理積x (= x1 · x2) をもってそのビットのデータとする。データの逆転

このような救済方法によれば、ケース(4)のように2つのセルが不良の場合は救済不能であるが、ケース(2)、(3)のように一方のセルが不良である場合には一応救済できるといえる。

## (D. 発明が解決しようとする問題点)

ところで、一方のセルのみが不良である場合には一応救済できるといったが、それはあくまで論理0から論理1へのデータの逆転は起こり得ても論理1から論理0への逆転は起こり得ないと仮定した場合である。そして、実際、論理0から論理1への逆転の生じる率よりも論理1から論理0への逆転が生じる率は少ない。しかし、論理1から論理0へ逆転する不良が絶対に起きないというわけではない。そして、ダブルセル方式は論理1から論理0へ逆転する不良に対して完全に無力であった。

また、従来のダブルセルの方式は第3図に示すように、互いに補償し合うセル同士は対称中心線cを挟んで対称のところに位置するように配置さ

れているので、2つのメモリセルアレイA、Bの境に近傍で不良が発生した場合(dが発生箇所)、互いに補償し合うセル、例えばa1、b1が共に不良になるケースの生じる可能性が多くた。そして、互いに補償し合うセルが共に不良になった場合は救済は不能である。

本発明はこのような問題点を解決すべく為されたものであり、第1に論理1から0への逆転が生じてもそれとは逆に論理0から1への逆転が生じても救済ができるようにすることを目的とするものであり、第2に互いに補償し合うセルが共に不良になることを防止することを目的とするものである。

#### (E. 問題点を解決するための手段)

本発明半導体メモリは上記問題点を解決するため、同一情報を3以上のメモリセルに記憶することとし、読み出した時はその3以上のメモリセルの中から多数決により出力データを決定することを特徴とする。

#### (F. 実施例) [第1図乃至第3図]

以下、本発明半導体メモリを図示実施例に従って詳細に説明する。

#### (a. 第1の実施例) [第1図、第2図]

第1図及び第2図は本発明をE-PROMに適用した一つの実施例を示すものであり、第1図は全体の回路ブロック図、第2図は多数決回路の回路図である。

図面において1、2はアドレスバッファ、3、4はアドレスロウデコーダ、5、6はロウデコーダ3、4の出力信号を高電圧のレベルにレベル変換する高電圧レベル変換回路である。

7a、7b、7cは全く同じ構成のメモリセルアレイである。該メモリセルアレイ7a、7b、7cはワードラインを共有しているがピットラインについてはそれぞれが独立して所有している。8、8、8、…はメモリセル、9a、9b、9cはピット線を選択するYセレクタで、Yセレクタ

本発明半導体メモリの第2のものは、互いに欠陥を補い合うセルを複数のセルアレイに跨って一定距離を離れたメモリセルに割り当てる特徴とする。

#### (F. 作用)

本発明半導体メモリの第1のものによれば、同一情報を3以上のメモリセルに記憶し、その3つのメモリセルから読み出し3つ以上の出力結果から多数決で出力データを得るので、論理1から0への逆転であるか論理0から1への逆転であるかを問わず、救済が可能である。

本発明半導体メモリの第2のものによれば、互いに補償し合うセルが2つのセルアレイの間の中心線を対称として配置されているのではなく、總て同じ距離離れるように配置されているので、不良箇所が非常に大きくなり限り共に不良になる確率は少ない。従って、不良が生じても補償される可能性が大きいので、実質的に不良率の低減を図ることができる。

8aはセルアレイ7aに対応し、Yセレクタ8bはセルアレイ7bに対応し、Yセレクタ8cはセルアレイ7cに対応している。10a、10b、10cはセンスアンプ・書込回路群で、センスアンプ・書込回路群10aはYセレクタ9aに対応し、センスアンプ・書込回路群10bはYセレクタ9bに対応し、センスアンプ・書込回路群10cはYセレクタ9cに対応している。センスアンプは各ビット線に対応して1個ずつ設けられている。また、書込回路も各ビット線に対応して1個ずつ設けられている。従って、1ワード8ビット構成のメモリの場合はセンスアンプ及び書込回路は共に24個ずつ存在している。

11はバッファ回路で、入力バッファ部(図面では単に入力部と表示した)と出力バッファ部(図面では単に出力部と表示した)の組み合わせが8組ある。各入力バッファ部はセンスアンプ・書込回路10a、10b、10cに対して入力データ信号を伝送する。

また、各出力バッファ部は、センスアンプ・書

#### 特開平3-57048 (4)

込回路群10aの1つのセンスアンプからの出力データ信号と、センスアンプ・書込回路10bの上記センスアンプと対応するセンスアンプからの出力データ信号と、センスアンプ・書込回路群10cの上記センスアンプと対応するセンスアンプからの出力データ信号とを受けてそれ等の多数決をとりその結果をデータとして出力するところの第2図に示す多数決回路を内蔵している。この多数決回路については後で説明する。

12はE PROM全体を制御する制御回路を示し、チップイネーブル信号、出力イネーブル信号、ライトイネーブル信号を受ける。13はタイマで、このタイマ13により書き込みの開始及び終了のタイミング制御が為される。14はクロックゼネレータで、タイマ13からの信号に応じてクロックを発生する。15はクロックゼネレータ14から発生されたクロックパルスを昇圧する昇圧回路で、該昇圧回路15から得られるプログラム電圧 $V_{pp}$ がセンスアンプ・書込回路群10a、10b、10c及び高電圧レベル変換回路5、

記の表に示す関係になる。

表

場合	演算結果	多数派
(1)	$F = 0 \cdot C + A^* = A$	A
(2)	$F = 1 \cdot C + 0 = C$	C
(3)	$F = 1 \cdot C + 0 = C$	C
(4)	$F = 0 \cdot C + A^* = A$	A

この表から明らかのように、演算結果と多数派とが一致する。

従って、3つのメモリセルの出力結果の間の多数決をとって出力できることが明らかであり、論理0から1への逆転をする不良があっても、論理1から論理0への逆転をする不良があっても不良の数が過半数とならない限りビットのデータが補償されることになる。

本E PROMにおいては、信号を書込む時は同じ信号を同時にセルアレイ7a、7b、7cに込む。そして、信号を読み出す時はセルアレイ7aから出力された信号Aはセンスアンプ・

6に供給される。16は高電圧制御回路である。

次に、バッファ回路11の各出力バッファ部に内蔵された第2図に示す多数決回路を説明する。

該多数決回路は、信号AとBの排他的論理和 $(\overline{A} \cdot B + \overline{B} \cdot A)$ を得る排他的論理和回路EXORと、該排他的論理和回路EXORの出力信号と信号Cの論理積を得る第1の論理積回路AND1と、信号AとBの論理積を得る第2の論理積回路AND2と、第1の論理積回路AND1の出力信号と第2の論理積回路AND2の出力信号との論理和を得る論理和回路ORとからなる。

多数決回路が行なう論理演算の演算式は下記のとおりである。

$$F(A, B, C) = (\overline{A} \cdot B + A \cdot \overline{B}) \cdot C \\ + A \cdot B$$

ここで、信号A、B、Cが互いに等しい場合を(1)、BとCが等しくAが異なる場合を(2)、AとCが等しくBが異なる場合を(3)、AとBが等しくCが異なる場合を(4)とすると、各場合における出力Fと多数派とは下

み回路群10a内のセンスアンプによって増幅し、セルアレイ7bから出力された信号Bはセンスアンプ・書込回路群10b内のセンスアンプによって増幅し、セルアレイ7cから出力された信号Cはセンスアンプ・書込回路群10c内のセンスアンプによって増幅した上で、バッファ回路11の出力バッファ部内において上記多数決回路によりセルアレイ7a、7b及び7cからの信号の多数決をとり、これを出力データ信号として外部へ送出るのである。従って、仮にセルアレイ7aの1つのセルに不良が発生したとしても、そのセルの不良はセルアレイ7b、7cのその不良セルと対応するセルによって多数決の原理で補償されるのである。そして、不良セルの数が互いに補償し合うセルのうちの過半数にならない限りデータを補償できるので信頼性の著しい向上を図ることができる。

上記実施例は1つのビットに3以上の単位セルを割当てるものであったが、奇数であればそれより多い数の単位セルを1つのビットに割り当てる

ようにしても良い。

尚、本実施例は本発明をE PROMに適用したものであったが、必ずしもこれに限定されるものではなく、本発明はEPROM、SRAM等他の半導体メモリにも適用することができる。

#### (七、第2の実施例) [第3図]

第3図は本発明半導体メモリの第2の実施例を示す全体のブロック図である。本実施例も本発明をE PROMに適用したものである。

本半導体メモリはセルアレイが7a、7bと2つしかない点と、バッファ回路11の各出力部においてセルアレイ7a、7bからの2つの信号A、Bの論理積（あるいは論理和）を得てそれA・B（あるいはA+B）を出力するようになっている点で第1の実施例と異なっているが、それ以外の点では共通しており、共通点については既に説明済なので説明は省略する。

本半導体メモリは、従来のダブルセル方式（第4図参照）とは互いに補償し合うセル間の間隔 $\delta$

を増し、読み出す時間一情報を記憶した上記3以上のメモリセルを選択し、読み出されたデータのうち最も多数の出力結果を出力データとするようにしたことを持続とするものである。

従って、本発明半導体メモリの第1のものによれば、同一情報を3以上のメモリセルに記憶し、その3つのメモリセルから読み出し、読み出したその3つ以上の出力結果から多数決で出力データを得るので、論理1から0への逆転であるか論理0から1への逆転であるかを問わず、救済が可能である。

本発明半導体メモリの第2のものは、複数のセルアレイを有し、該セルアレイそれぞれに対して同時に同一の情報を入力しそれぞから同時に出力することによりセルアレイの互いに対応するセルどうしが故障の補償をし合うようにした半導体メモリにおいて、互いに欠陥を補い合うセルを複数のセルアレイに跨って一定の距離離れたメモリセルに割当ててなることを特徴とするものである。

がすべてのペア（例えば8aと8b、8cと8d）について等しくなるようにセルが配置されている点で異なっている。従って、2つのセルアレイ7aと7bの境界近傍において不良が発生しても互いに補償し合うセルが共に不良になる虞れはなく、補償が可能である。

従って、実質的な不良率の低減を図ることができる。

尚、互いに補償し合うセル間の距離 $\delta$ を一定にすることにより不良率の低減を図るという技術的思想は第3図に示すようなダブルセル方式の半導体メモリだけでなく、第1図に示すような謂わば三重セルセル方式のものあるいはそれ以上の多層セル方式の半導体メモリにも適用できる。そして、実際に第1図に示す実施例においてはかかる技術的思想も実施されている。

#### (H. 発明の効果)

以上に述べたように、本発明半導体メモリの第1のものは、同一情報を3以上のメモリセルに記

本発明半導体メモリの第2のものによれば互いに補償し合うセルが2つのセルアレイの間の中心線を対称として配置されているのではなく、みな同じ距離離れるように配置されているので、不良箇所が非常に大きくなり共に不良になる確率は少ない。従って、不良が生じても補償が可能なので実質的に不良率の低減を図ることができる。

#### 4. 図面の簡単な説明

第1図及び第2図は本発明半導体メモリの一つの実施例を説明するためのもので、第1図は全体のブロック図、第2図は多数決回路を示す回路図、第3図は本発明半導体メモリの第2の実施例を示す全体のブロック図、第4図は従来例の要部を示すブロック図である。

#### 符号の説明

7a、7b、7c...セルアレイ、

8...セル、

8a、8b...互いに補償し合うセル、

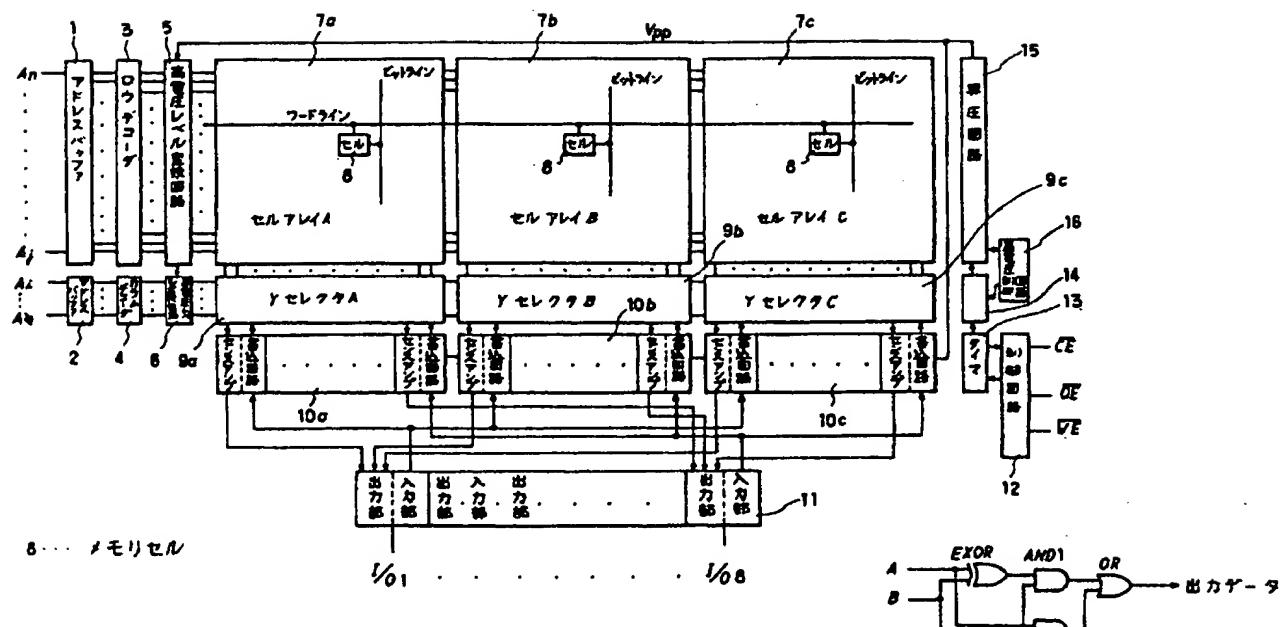
8c、8d...互いに補償し合うセル、

8...互いに補償し合うセル間の距離。

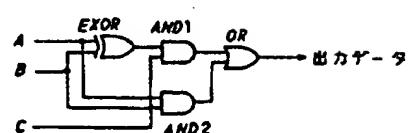
出 願 人 ソニ 一 株 式 会 社

代理 人 井 理 士

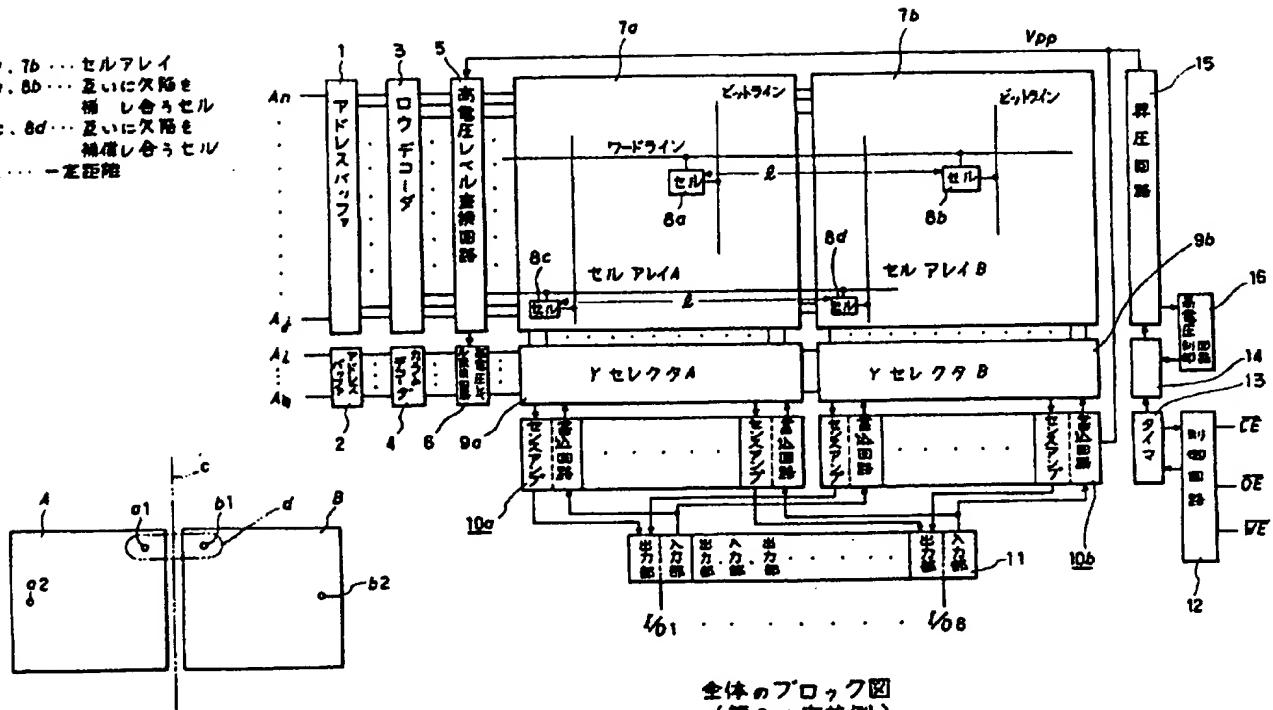
尾 川 秀 昭



8...メモリセル

全体のブロック図(第1の実施例)  
第1回多段決回路  
(第1の実施例)  
第2回

7a, 7b … セルアレイ  
 8a, 8d … 反応に欠陥を  
 検査し合うセル  
 8c, 8d … 反応に欠陥を  
 検査し合うセル  
 L … 一定距離



從来例の要部を示すブロック図  
第4図

全体のブロック図  
(第2の実施例)  
第3図